

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 07222164 A

(43) Date of publication of application: 18.08.95

(51) Int. Cl

H04N 7/32

G06T 9/00

H03M 7/40

(21) Application number: 06011197

(71) Applicant: MATSUSHITA ELECTRIC IND CO LTD

(22) Date of filing: 02.02.94

(72) Inventor: UIRUSON UIRIAMU BURENTO

(54) DIGITAL VIDEO BIT STREAM CODER

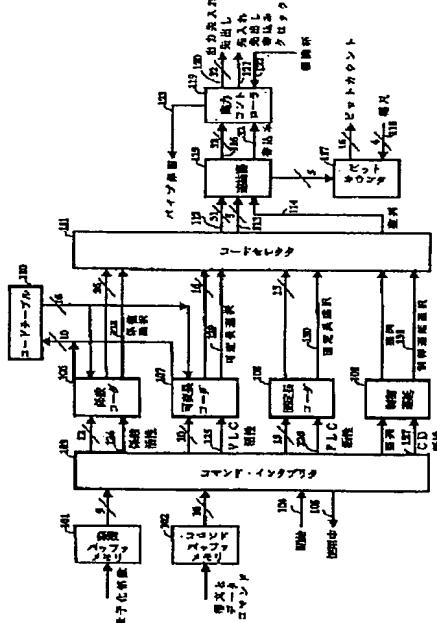
judged.

(57) Abstract:

COPYRIGHT: (C)1995,JPO

PURPOSE: To simplify the constitution of a video coder and to reduce the cost by providing a command buffer memory for clarifying the syntax and contents of a bit stream in a bit stream coder.

CONSTITUTION: In a command interpreter 103, the quantization coefficient of a coefficient buffer memory 101 is read and also the syntax and data commands from the command buffer memory 102 are read. The data and related control information are distributed to a coefficient coder 106, a variable length coder 107, a fixed length coder 108 and a control delay 109. A similar format 1 is provided in the output of the coders, which output signal to be sent to a connector 115 is selected by a code selector 111, a bit sequence length 112 and a bit sequence code 113 connected to the connector 115 are received and the bit stream 116 is generated. When the connector 115 receives an aligning signal 114, an accurate number corresponding to the code 113 and the signal 134 is outputted by a bit counter 117 and a required rate control parameter is



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-222164

(43) 公開日 平成7年(1995)8月18日

(51) Int.Cl.^s
H 0 4 N 7/32
G 0 6 T 9/00
H 0 3 M 7/40

識別記号 庁内整理番号

F I

技術表示箇所

8842-5 J

H 0 4 N 7/ 137

2

G 0 6 F 15/ 66 3 3 0 A

審査請求 未請求 請求項の数 8 O.L. (全 10 頁)

(21) 出願番号 特願平6-11197

(22) 出願日 平成6年(1994)2月2日

(71) 出願人 000005821

松下電器產業株式会社

大阪府門真市大字門真1006番地

(72)発明者 ウィルソン・ウィリアム・ブレント

シンガポール 1647 #12-4640 ベドック
タリザザマ ロード ブロッカ 721

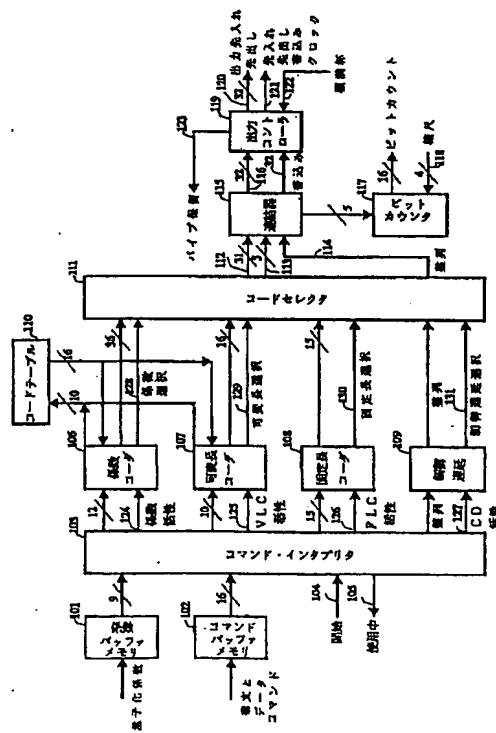
(74)代理人 麦理士 松田 正道

(54) 【発明の名称】 デジタルビデオ・ビットストリームコーダ

(57) 【要約】

【目的】 非常に高速にデータ処理が出来、同時に可変長コードがプログラマブルな形でマクロブロックをフォーマット化できるようにすること。

【構成】 このビットストリームコーダはビットストリームの構文と内容を明示するコマンドバッファメモリを使用する。このメモリはプログラマブル・プロセッサで書き込むことができるので、ビットストリーム構文はプログラマブルである。ビットストリームコーダはコマンドをサポートして固定長データビットシーケンス、可変長コード化データビットシーケンス、量子化及び可変長コード化係数データビットシーケンスのブロックをビットストリームに挿入する。速度制御フィードバックパラメータはビットストリーム内のビット数を正確にカウントする単純なビットカウンタメカニズムを用いて計算することができる。ビットストリームコーダの比較的小さなサイズとその単純なインターフェイス故に、デジタルビデオコーダのVLSI化に適している。



【特許請求の範囲】

【請求項 1】 変換係数を格納する係数バッファメモリと、
 ピットストリームフォーマットとデータコマンドを格納するコマンドバッファメモリと、
 前記変換係数を可変長ピットシーケンスとしてコード化する係数コーダと、
 前記データコマンド内のデータを可変長ピットシーケンスとしてコード化する可変長コーダと、
 前記データコマンド内のデータを固定長ピットシーケンスとしてコード化する固定長コーダと、
 前記コマンドバッファメモリから前記コマンドを読み取り、前記係数バッファメモリから前記変換係数を読み取り、前記係数コーダと前記可変長コーダと前記固定長コーダとにデータと制御信号を配分するコマンドインタプリタと、
 前記可変長ピットシーケンスと前記ピットシーケンスの長さとを定義するコードワードを格納するコードテーブルと、
 前記係数コーダから前記可変長ピットシーケンスを、前記可変長コーダから前記可変長ピットシーケンスを、前記固定長コーダから前記固定長ピットシーケンスを、あるいは空白ピットシーケンスのいずれかを選択するコードセレクタと、
 選択したピットシーケンスを連結して、幅 1 ピットあるいはそれ以上のピットのワードのシーケンスであるピットストリームを形成する連結器と、
 連結されて前記ピットストリームを形成するピット数をカウントするピットカウンタと、
 前記ピットストリームを出力バッファメモリに出力する出力コントローラと、
 前記ピットストリームが所望のピットストリーム構文に従うように前記ピットシーケンスを順序付けする構文順序付け手段と、
 を備えたことを特徴とするデジタルビデオ・ピットストリームコーダ。

【請求項 2】 前記構文順序付け手段は、
 前記コマンドバッファメモリで生じるのと同じ順序で逐次に前記コマンドバッファメモリから前記コマンドを読み取る手段と、
 前記コマンドバッファメモリから係数バッファメモリへ読み取りを切り換えるものであって、その切り替えは係数コマンド語が前記コマンドバッファメモリから読み取られた時はいつでも行われる、手段と、
 前記係数バッファメモリから前記コマンドバッファメモリへ読み取りを切り換えるものであって、その切り替えは、前記係数コマンド語により数が示されるところの所望の係数がすべて前記係数バッファメモリから読み取られた時はいつでも行われる、手段と、
 前記コマンドと前記係数がそれぞれ前記コマンドバッ

アメモリと前記係数バッファメモリから読み取られる順序は、それらの各々の連結された結果的なピットシーケンスが前記ピットストリームを形成するのと同じ順序であることを意味する前記ピットシーケンスを順序付けする手段と、

を備えたことを特徴とする請求項 1 のデジタルビデオ・ピットストリームコーダ。

【請求項 3】 前記コマンドインタプリタは、
 前記係数バッファからの前記変換係数の読み取りを順序付けする係数スキナ手段を有することを特徴とする請求項 1 又は 2 のデジタルビデオ・ピットストリームコーダ。

【請求項 4】 前記コマンドインタプリタは、
 前記係数バッファからの前記変換係数の読み取りを順序付けする係数スキナ手段と、

コマンドのグループの逐次の読み取りと処理を開始する開始信号手段と、

前記コマンドインタプリタがコマンドのグループの読み取り、処理中であることを示す使用中信号手段と、

前記コマンドインタプリタがコマンドのグループの処理を終了したことを示すものであって、前記コマンドバッファメモリから読み取られた独自のコマンドの発生に応答する、終了指示手段と、

を備えたことを特徴とする請求項 1 又は 2 のデジタルビデオ・ピットストリームコーダ。

【請求項 5】 前記係数スキナ手段は、
 前記係数バッファからの前記変換係数の前記読み取りの順序を格納した 1 つないしそれ以上の走査順序参照テーブルと、

前記走査順序参照テーブルを、前記係数コマンド語の内容に基づき選択する手段と、

を備えたことを特徴とする請求項 3 又は 4 のデジタルビデオ・ピットストリームコーダ。

【請求項 6】 前記連結器は、
 選択したピットシーケンスを連結して、幅 1 ピット又はそれ以上のワードのシーケンスであるピットストリームを形成する手段と、
 整列コマンド語の発生に基づき、後続のビットシーケンスの第 1 のピットをワード境界に整列する手段と、
 を備えたことを特徴とする請求項 1、2、3、4、又は 5 のデジタルビデオ・ピットストリームコーダ。

【請求項 7】 前記ピットカウンタは、
 前記ピットストリームを形成するために連結したピット数をカウントするカウンタと、
 カウントされたピット数を位取り因数で指定される量で基準化するシフタ手段と、
 を備えたことを特徴とする請求項 1、2、3、4、5、又は 6 のデジタルビデオ・ピットストリームコーダ。

【請求項 8】 前記出力コントローラは、
 前記ピットストリームを出力バッファメモリに出力する

手段と、

前記出力バッファメモリに書き込むことができない場合は前記デジタルビデオ・ビットストリームコーダが行う読み取り及び処理を停止する手段と、
を備えたことを特徴とする請求項1、2、3、4、5、
6、又は7のデジタルビデオ・ビットストリームコーダ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、デジタルビデオコーダで使用する可変長コーダ（あるいは「ハフマンコーダ」ないし「エントロビーコーダ」としても知られる）とビットストリーム・フォーマットに関する。

【0002】

【従来の技術】デジタルビデオコード化では、ビデオ信号は、H.261（C C I T T、X V 小部会文書「勧告 H.261 - p x 64 k ビット / s のオーディオビジュアルサービス用ビデオコーデック」、国際電信電話諮詢委員会、X V 調査部会報告 R 37、1990年8月に記載）、M P E G - 1（I S O M P E G 文書、「C D 11172 - 移動画像及び約1.5 M b p s 近のデジタル記憶媒体用の関連オーディオのコード化」、国際標準化機構、I S O - I E C / J T C 1 / S C 2 / W G 8、1992年）ないしM P E G - 2（I S O M P E G 文書、「W D 編集特別部会が修正した第3作業草案（ニューヨーク）」、国際標準化機構、I S O - I E C、1993年8月27日）のような特定の構文に従うビットストリームとして圧縮されて送信される。それらのコーダでは、離散コサイン変換（D C T）に基づく損失のあるコード化アルゴリズムが、ビットストリーム構文フォーマット化を行う可変長コード化に基づく無損失エンコーダに先行している。無損失コーダ（「可変長コーダ」（V L C）としても知られる）への入力は一般に、ビデオデータのマクロブロック（M P E G - 1 については 16 x 16）の変換係数と、マクロブロックの副情報（M P E G - 1 についてはマクロブロック・タイプ、動きベクトルなど）及びコード化ビデオデータのスライス、画像あるいは更に細分割したものに対応するヘッダ副情報からなる。

【0003】可変長コーダの1つの機能は固定長入力データを可変長データに変換することである。例えばこれはA C 変換係数をゼロラン（run）とレベルの組合せでコード化するエントロビーアルゴリズムにより行うことができる。また一部の副情報をエントロビーコード化することもできる。可変長コーダの別の機能は、データをフォーマット化（再順序付け）して出力ビットストリーム構文に一致させることである。可変長コーダの第3の機能は、D C T 係数に課せられる量子化量を制御することで目標ビット伝送レート近くで出力ビット伝送レートを維持するのに使用するレート制御フィードバックバラメータを決定することである。

【0004】大部分の既存の無損失コーダはビットストリーム構文を変える能力なしに既存の基準のサブセット（subset）をサポートしている。そのような装置の例として、H.261のみをサポートするL S I L O G I C L 64750（L S I 論理集積回路データシート「L 64750/51 C C I T T 可変長コーダ／デコーダ」に記載、注文番号44023、1991年4月）がある。モリソン（米国特許4,985,766号、「ビデオコーダ」モリソン他、1991年1月15日を参照）は、係数データと副情報を別々にバッファすることでビットストリームをフォーマット化している。各々のバッファには特殊データスイッチを書き込み、1つのバッファの読み取りをいつ他のバッファにトグルすべきかを示す。そうすることで所望のビットストリーム構文に必要な順序でバッファからデータを読むことができる。再順序付けしたデータはレート制御バッファに格納し、読み取って所望のビットストリームビット伝送レートにするのに必要なレートで可変長コード化される。この場合のレート制御フィードバックバラメータはレート制御バッファの埋まり具合である。バッファから読み取ったビットストリームデータのビット数はバッファへの書き込みビット数から差し引いてバッファの埋まり具合の度合を出す。バッファの埋まり具合はバッファが下回ったりあふれることがないように係数量子化の量を調節するのに使用する。

【0005】

【発明が解決しようとする課題】しかしながら、従来の方法には問題がいくつかある。

【0006】その第1の問題は、急速に変化しているデジタルA / V コード化技術及び広範囲のアプリケーションにより、今後、様々なビットストリーム構文をサポートし、新しい構文を可能にする必要がある。データのフォーマット化は一般に非常に複雑であり、ビットストリーム構文、コード化アルゴリズム、コード化データの特性に依存する。本発明の目的は、構文の変化がコーダの論理設計に影響を与えない可変長コーダを開発することである。これは特にM P E G - 2 や米国のA T Vなど現在開発中の今後の基準をサポートするハードウェアに必要である。

【0007】第2の問題は、市販の製品に適したV L S I で実施する上で大きさが十分小さい可変長コーダへの要望である。

【0008】第3の問題は、市販のビデオコーダの開発を容易で経済的にするために可変長コーダの使用を簡単にしなければならないということである。本発明の目的は可変長コーダ回路に対する単純なインターフェイスをサポートすることである。

【0009】第4の問題は、データ処理量が非常に高いということである。4 : 1 : 1 標本化幅T Vについては、マクロブロックは15マイクロ秒毎にコード化しなければならない。この場合、可変長コーダへの固定長データ

タ（量子化係数プラス副情報）入力レートは27MHzを超過する。本発明は、非常に高いデータ処理能力を有し、可変長コードがプログラマブルな形でマクロブロックをフォーマット化できるようにすることを目的とする。

【0010】

【課題を解決するための手段】本発明は、同一ハードウェア論理で多くの現在の及び進展しつつあるビットストリーム構文をサポートするため、可変長コード、固定長コード及びDCTのブロックを示すコードを含むビットストリームをフォーマット化できる汎用設計である。可変長コードのサイズを小さく保つため、ビットストリーム出力バッファメモリは可変長コードを集積回路（IC）内で実施できるように最終可変長コード論理の後に配置しており、出力バッファメモリはこのIC内に配置する必要はない。可変長コードへのインターフェイスを単純にしておくため、ビットストリーム構文を1つのコマンドバッファメモリを用いて完全に特定して構文とデータコマンドを格納できる。係数データメモリはフォーマット化情報を持つ必要はない。更に、正確なビットカウントと単純なインターフェイスをサポートするビットカウンタは、レート制御パラメータの計算のためにサポートされている。ビデオデータ固有の非常に高いデータレートをサポートするため、本発明をパイプラインとして実施することができる。

【0011】本発明は、所望のビットストリーム構文を特定するコマンドとデータを格納するコマンドバッファメモリと、変換係数のブロックを格納する係数バッファメモリと、コマンドバッファメモリにより特定されたシーケンスで係数のブロックを挿入しつつコマンドバッファメモリから構文及びデータコマンドを逐次に読み取り、コマンドを係数コードと可変長コードと固定長コードの1つに配分するコマンドインタプリタと、可変長コードないし固定長コードとからなる。本発明は更に、係数コード、可変長コード、固定長コードのいずれかからビットシーケンスデータを選択するコードセレクタと、選択したビットシーケンスを連結して所望の構文のビットストリームを形成する連結器と、ビットストリームを出力バッファメモリに出力する出力コントローラとからなる。更にビットストリームの数をカウントするビットカウンタも本発明に含まれる。

【0012】

【作用】最初にコマンドバッファメモリに構文及びデータコマンドを入れる。これは例えばプログラマブル・プロセッサで行うことができ、その場合、構文はプロセッサのプログラムを変えることで変更することができる。またおそらく同時に、係数バッファメモリに量子化係数データを入れる。それら両方のバッファが少なくとも1マクロブロックの情報のための十分なスペースを含むことは可能である。バッファの内容が有効であれば、開始

信号をコマンドインタプリタに送ってコマンドバッファメモリ内のコマンドの読み取りと処理を始めることができる。この信号は例えばプログラマブル・プロセッサから発信することができる。使用中信号はビットストリームコードはコマンドバッファメモリからのコマンドの読み取り、処理を行っている最中であることを示す。ビットストリームコードがコマンドバッファメモリからのコマンドの処理を終了すると、特殊な独特なコマンドワードの処理で示され、使用中信号を非活動化する。

【0013】構文及びデータコマンドはコマンドバッファメモリから逐次に読み取られる。それらが読み取られ、処理される順序は、結果的なビットストリーム構文を決定する。可能なコマンドには、特定のビットシーケンスを指定してビットストリームに挿入する固定長データコマンド、可変長コード化しなければならないデータ及びビットストリームに挿入する結果的な可変長ビットシーケンスを指定する可変長データコマンド、係数のブロックを可変長コード化しなければならないこと及びビットストリームに挿入する結果的なビットシーケンスを指定する係数コマンド、例えば後続のコマンドから生じる次のビットシーケンスはビットシーケンスの最初のビットは出力ビットストリームデータバスの最上位ビットとして出力されるようにバイト整列しなければならないことを指定するフォーマット化コマンド、コマンドの終わりを特定してコマンドバッファメモリを処理するコマンドがある。例えばコマンド及び係数バッファがデータのマクロブロックを格納する場合、最終コマンドはマクロブロックデータコマンドの終わりとして扱われる。更に係数コマンドには係数の位置やどの様な順序で係数を係数バッファから読み取るべきかといった情報を含めることができる。例えばそれはジグザグ走査順あるいは代替走査順で読み取ることができ、その両方はMPEG-2に明示されている。

【0014】例えば可変長コードは参照テーブルに基づいて実現できる。可変長コードコマンドからのデータを用いてビットシーケンスの指定をもたらされる参照テーブルを索引できる。係数コードの1例として、連続的なゼロ値の係数の数をカウントし、ランレベル組合せを形成し、次におそらく可変長コードが用いるのと同じ参照テーブルを用いて可変長コード化するものがある。

【0015】コードセレクタを用いて係数コード、可変長コードないし固定長コードのいずれかの出力からビットシーケンスを選択できる。選択したビットシーケンスはビットシーケンスを連結してビットシーケンスの1つの連続したビットストリームを形成する連結器に送ることができる。更に連結器は必要に応じてビットを挿入してビットストリームフォーマット化機能を行わなければならない。例えば上述の後続のビットシーケンスを出力ワード境界に整列するコマンドは、連結器が実行しなければならない。また連結器を用いて生来的に直列のデー

タ構造を持つビットストリームを出力ビットストリームデータバス幅と整合する幅のワードとすることができます。それらのビットストリームデータのワードは、それを出力バッファメモリに書き込む出力コントローラに送る。ときどきコーダにより生成された出力ビットストリームデータレートは出力バッファメモリの入力データレートを超過することがある。その場合、出力コントローラはビットストリームコーダに待機するように信号指示する。出力コントローラはまた出力バッファメモリが満杯の場合に、ビットストリームコーダに待機するように信号指示することができる。

【0016】更にビットカウンタを用いて連結器により生成されたビットストリームのビットの数をカウントすることができる。例示的なビットカウンタには、16ビットデータバスを用いて読むことのできる23ビットカウンタを含めることができる。16ビットデータは、16ビットウインドウを23ビット累算器データに効率的に適用するシフタを用いて23ビットから選択することができる。このように、例えばマクロブロックのような小量のビデオデータ及び画像あるいは画像のグループをコード化するに使用するビット数を同一カウント及びインターフェイスを用いて判定することができる。例えば最下位16ビットが読み取られると、1ビット精度で65535までのビットカウントを判定することができる。最上位16ビットを読み取ると、128ビット精度で8388480までのビットカウントを判定することができる。

【0017】

【実施例】以下、本発明の実施例について図面を参照して説明する。

【0018】本発明の一実施例を図1に示す。図1で、1ビットより大きなバス幅は、バス幅を示す数字と共にバスを通る細い斜め線で示す。この実施例では、全てのバス幅とメモリサイズは単に例示的なものである。

【0019】係数バッファメモリ101は量子化した係数を格納するに使用する。例えばこのメモリは $6 \times 64 \times 9$ ビットメモリとして実現することができる。この場合、各々の係数は9ビット幅であり、各々のメモリは6ブロックの 8×8 係数を格納することができる。これは例えばMPEG-1マクロブロックを格納するのに適している。即ちMPEG-1は、各々のマクロブロックが4つの 8×8 ブロックの輝度画素と2つの 8×8 ブロックの色画素からなるマクロブロックに画像を分割するからである。図2はMPEG-1について画像がどのようにマクロブロックのストライスに区分されるかの例を示している。

【0020】コマンドバッファメモリ102はビットストリーム構文とデータコマンドを格納するに使用する。例えばこれは 64×16 ビットメモリを用いて実現でき、その場合、64コマンドを格納することができる。本実施例に付いては、データの各々のマクロブロックは64コマ

ンドを用いてマクロブロックを示すビットシーケンスをフォーマット化することができる。それらのコマンドはプログラマブルプロセッサを用いて実行することができる。

【0021】コマンド・インタプリタ103は係数とコマンドを読み取り、そのデータを適切なコーダ106、107、108ないし制御遅延109に配分する。本実施例に付いては、係数バッファメモリ101とコマンドバッファメモリ102の内容がマクロブロックのビットシーケンスをフォーマット化するのに必要な全ての情報を含むと、開始信号104が起動される。コマンドインタプリタは使用中信号105をセットし、最初のメモリ位置から始めてコマンドバッファメモリ102から逐次にコマンドを読み取ることで応答する。各々のコマンドを分析し、コマンド内の関連データを係数コーダ106あるいは可変長コーダ107、固定長コーダ108、制御遅延109に送る。

【0022】例えばコマンドインタプリタにより処理されたコマンドのフォーマットは図3に示す様式のものとすることができるが、図3に示す様式に限定はされない。周知のビットシーケンスを挿入するには、固定長コードワードコマンド301を使用することができる。長さ305はビットシーケンス内のビット数にセットし、固定長コード306はビットシーケンスの最初のビットとなる最も左側の最上位ビット及び最後のビットを示す最も右側のビットで右に整列した所望のビットシーケンスにセットする。例えばビットシーケンス「111010」をビットストリームに挿入するには、コードワードは「101010000011011010」にセットされる。この場合、最上位ビットはコマンドが固定長コードワードコマンドであることを示すようにセットし、次の4ビットの「0101」はビットシーケンス(5ビット)の長さを示し、最下位の5ビットの「11010」はビットシーケンスデータを示す。

【0023】可変長ビットシーケンスを挿入するには、可変長コードワードコマンド302を使用する。この実施例に付いては、コードテーブル110は $1K \times 16$ RAMとして実現される単純な参照テーブルを用いて実現できる。参照テーブルへの入力は固定長データであるが、出力はビットシーケンスとそのデータを示す長さである。従って可変長ビットシーケンスをビットストリームに挿入するには、コードテーブルアドレス307を可変長コードワードコマンド10の最下位ビットに入れるが、このアドレスは可変長コーダ107を用いて対応するビットシーケンスを判定するのに使用する。それはアドレスをコードテーブル110に加え、ビットシーケンス長とコードをもたらす。

【0024】1ブロックの係数を示すビットシーケンスを挿入するには、係数コマンドフォーマット303を使用する。この場合、係数のブロックは係数バッファメモリ101から読み取られ、コマンド・インタプリタ103に渡

される。本実施例に付いては、ブロックを読み取る順序は固定されている。開始信号 104は最初の係数コマンドが係数バッファメモリ 101から最初のブロックの係数の読み取り値になるようにコマンド・インタブリタ 103を初期設定する。後続の係数コマンドは読み取られている次のブロックになる。例えばM P E G - 1 に付いて、ブロックを読み取る順序はそれらがビットストリームに現れる順序と同じで、4つの輝度ブロックの後には2つの色ブロックが続く。図2に付いて、マクロブロックの各々は4つのYブロックと2つの色ブロックからなり、ビットストリーム内でブロックが生じる順序はY 1、Y 2、Y 3、Y 4、C b、C rである。しかし本発明はこのマクロブロック構造に限定されないことに留意すべきである。

【0025】本実施例に付いては、ブロックから読み取る係数の数は、係数コマンド 303の7最下位ビットで特定する。係数カウント (C O E F C O U N T) 310の範囲は本実施例では0から64である。これによりM P E G - 2 で特定されたような縮尺可能なマクロブロックサイズで必要とされる様々なブロックサイズのサポートが可能になる。更に本実施例の係数コマンドフォーマットには係数のブロックがブロック内ないし非ブロック内としてコード化すべきかどうかを示すイントラ (I N T R A) ビット 308がある。M P E G - 1 では、ブロック内の最初の係数は非ブロック内の最初の係数とは異なってコード化される。本実施例では、係数コマンドのイントラビットは、ブロックはブロック内としてコード化すべきであることを示すようにセットされる。また本実施例では、係数コマンドは係数バッファメモリから係数を読み取るべき順序を示すA L T S C A Nビット309が含まれている。例えばM P E G - 2 は2つの走査順序、即ちジグザグ走査と代替走査をサポートする。本実施例では、A L T S C A N (代替走査) ビットは係数を代替走査順に読み取るべき場合にセットする。図4はM P E G - 2 に付いて係数を読み取るべき順序を示している。

【0026】ジグザクないし代替走査機能を達成するための係数の再順序付けはコマンド・インタブリタ 103が行う。これは例えばR A M 参照テーブルを用いて行う。この走査テーブルへの入力は逐次の係数カウントとすることができる、テーブルからの出力は係数を読み取るべきバッファメモリ 101内のアドレスを判定するのに使用する。このように走査テーブルの内容を変えることでどの様な走査順序も可能となる。本実施例のように2つの走査テーブルを使用するならば、代替走査ビット309をテーブルの選択に使用できる。

【0027】このように本実施例では、係数のブロックのコード化を行うには、以下のようになる。即ちコマンド・インタブリタ 103は係数バッファメモリ 101から係数コマンドフォーマット 303を有するコマンドを読み取る。このコマンドは係数バッファメモリ 101からどのブ

ロックを読み取るかを特定する。開始信号 104の後コマンド・インタブリタ 103によりこのコマンドが最初に読み込まれると、最初の係数ブロックが係数バッファメモリ 101から読み取られる。後続のコマンドは後続のブロックの読み取り値となる。ブロックに付いて読み取るべき係数の数は、係数コマンド 303の係数カウント欄 310に示される。係数バッファメモリ 101から係数を読み取るべき順序も係数コマンド内で指定される。ブロック内のどの係数を読み取るかを示す走査参照テーブルが逐次にアクセスされる。参照テーブルの選択は係数コマンドフォーマット 303内の代替走査ビット 309を用いて特定される。係数は係数バッファメモリ 101から所望のビットストリーム構文順序で読み取られる。それらはコマンド・インタブリタ 103から係数コード 106に送られる。9ビットの係数データに加えて、追加の4ビットの情報が係数コード 106に送られる。即ちブロックの最初の係数が送られていることを示すブロック開始信号、ブロックの最後の係数が送られたことを示すブロック終了信号、係数コマンドフォーマット 303でインストラ欄 308で特定されるブロックがブロック内ないし非ブロック内かどうかを示すインストラ信号、及び係数コードが活動していることを示す係数活動信号 124である。

【0028】本実施例に付いては、係数はブロック開始、ブロック終了、インストラ、係数活動信号と共に構文順に係数コード 106に送られる。係数コード 106はランレベル係数をコード化し、非ゼロ係数に先行するゼロ係数の数を数える。ランレベルの組合せはコードテーブル、おそらく可変長コード 107で使用するものと同一のコードテーブル 110を用いて可変長コード化される。一部の可能なランレベル組合せはコードテーブル内に存在しない可能性があり、その場合、それらのランレベル組合せは固定長コードとしてコード化される可能性があるので、何等かの追加の論理が必要となる。しかし係数をコード化する方法は本発明の基本的な問題ではなく、ここで説明はしない。

【0029】本実施例で、制御コマンド 304は2つの目的に使用する。即ちM B E (マクロブロック終了) ビット 312をセットすることにより構文コマンドのマクロブロックの終了を示すことと、整列ビット 311をセットすることにより後続のビットシーケンスの整列を出力ワード境界に強制することである。コマンドインタブリタが制御コマンドを処理してM B E ビット 312がセットされていることを判定すると、使用中信号 105が消えてコマンド・インタブリタ 103はコマンドのマクロブロックとデータの処理を終了したことを示し、コマンドバッファメモリ 102内の残りのコマンドは無視される。この指示は例えばプログラマブル・プロセッサが使用してデータの次のマクロブロックに対応してコマンドバッファメモリ 102を構文とデータコマンドでいつ満たすことができるかを示すことができる。

【0030】H.261、MPEG-1、MPEG-2の様なビットストリーム構文では、ビットシーケンスの最初のビットを強制してワード境界に整列することが必要である。出力ビットストリームは生来的に直列であることが分かるが、今日のデジタル技術は並列データバスアーキテクチャに大きく基づいている。その結果、コード化ビデオビットストリームをビットのシーケンスよりもワードのシーケンスとして送信することが期待されている。しかしデータ内容は同じである。例えばワードシーケンスは直列-並列変換器を用いてビットシーケンスから作ることができる。ワードシーケンスの処理を容易にするため、特定のビットシーケンスがワード内の特定の場所を占めるように強制することがしばしば望ましい。例えばH.261、MPEG-1、MPEG-2はすべて、画像を示すデータの開始を示す画像ヘッダビットシーケンスをサポートしている。このヘッダは送信される最初のビットがバイトの最上位ビットと一致するように配置しなければならない。この場合、ビデオコードが8ビットの出力バス幅を持っていたならば、ヘッダビットシーケンスの最初のビットは最上位出力ビット位置にある。本実施例に付いては、整列は出力ワードの先行する未使用ビットをゼロで満たし、次の32ビット幅の出力ワードに整列することにより行う。

【0031】本実施例では、コマンド・インタプリタ103はコマンドバッファメモリ102を読み取り、係数バッファメモリ101を読み取り、このデータと関連制御情報を係数コード106、即ち可変長コード107、固定長コード108、制御遅延109に配分する。本実施例では、関連制御情報には、各々のコード106、107、108及び制御遅延109への信号があり、データ画素のコードないし制御遅延に宛てたものかどうかを示す。それらの信号は、係数活性(COEF ACTIVE)124、VLC活性(VLCACTIVE)125、FLC活性(FLC ACTIVE)126、及びCD活性(CD ACTIVE)127信号である。それらの信号は各々のコードないし制御遅延を起動する。

【0032】以上、本実施例での係数コード106と可変長コード107の機能を説明したが、固定長コード108の機能は、固定長データコマンド301のデータをコードセレクタ111に適切なフォーマットに変換することである。制御遅延109は整列信号がコード106、107、108を通過する全ての他のデータとちょうど同量遅延されるように整列コマンドを遅延する。それら全てのコード106、107、108と制御遅延109は同一の遅延を有する。これによりコードセレクタ111が受け取ったデータが、データがコード106、107、108と制御遅延109に配分されるのと同じ順序で到着するようになり、それによりビットシーケンスの順序が所望のビットストリーム構文と同一にすることができる。

【0033】本実施例では、個々のコード106、107、108の出力は類似のフォーマットを有している。即ちビッ

トシーケンス長、ビットシーケンスデータ、そのデータが活性化していることを示す各々の選択信号128、129、130である。制御遅延109は整列信号と整列信号が活性化しているかどうかを示すCD選択信号131を出力する。コードセレクタ111はそれらの選択信号128、129、130、131を用いてどの出力信号を連結器115に送るかを選択する。従って本実施例のコードセレクタ111からの出力はビットシーケンス長112、ビットシーケンスコード113、整列信号114からなっている。整列信号中の場合のように有効なビットシーケンスがなければ、ビットシーケンス長112はゼロにセットされる。

【0034】本実施例で、連結器115は連続したビットシーケンス長112とビットシーケンスコード113を受け取り、それを連結して本実施例で実際に32ビット幅のワードストリームであるビットストリーム116を形成する。書き込み信号132は連結器115からの出力を出力コントローラ119にいつ書き込むかを示す。この連結器で整列信号114が受信されると、完了して現在出力ワードを出力する。本実施例では、整列コマンドが生じる場合のようにビットストリームコード113により特定されないビットはゼロに強制される。各々の受信されたビットシーケンスコード113と整列信号114に対応した結果的なビットの正確な数はビットカウンタ117に出力される。

【0035】本実施例で、ビットカウンタ117は連結器から受け取った長さを累算して連結器115により連結されたビット数のラン合計(running summation)をもたらす。本実施例で、長さを累積するため23ビットカウンタを使用する。16ビットデータバスを累算器にアクセスするため使用できるようにするために、23ビット合計に16ビットウインドウを加える。ウインドウの位置は4ビット縮尺信号118で明示する。縮尺が0ならば、最下位16ビットが読み取られる。例えばデータのマクロブロックをコードするため使用するビット数を判定するため、ビットカウンタ縮尺は最初に0にセットし、次にビットカウンタを読み取る。このカウント値はマクロブロックをコード化する前の累積値を示す。そしてマクロブロックをコード化してビットカウンタを再び読み取る。このカウント値はマクロブロックがコード化された後の累積値を示す。その差はマクロブロックのコード化に使用するビットの数となる。この方法はまた画像をコード化するのに使用するビット数を判定するのに使用できる。画像は65535ビット以上でコード化できるので(これは16ビットで表現できる最大数)、位取り因数は4にセットすることができる。この場合、ウインドウは4つだけ左にシフトされ、各々のカウントは16の単位で表される。従って画像に付いてカウントされるビットの範囲は1048576ないし20ビットで表現できる最大カウントにすることができる。このカウント値は必要なレート制御パラメータを判定するのに使用できる。

【0036】本実施例で、出力コントローラ119は出力

ビットストリーム 120を、先入れ先出しメモリとして実現される出力バッファメモリに書き込むために使用する。データは、先入れ先出しメモリ A F 信号 122が活性的でないことによって示される先入れ先出しが概満杯でない場合のみ書き込まれる。先入れ先出しメモリが概満杯であるならば、出力コントローラ 119は、コード化プロセスを保留すべきであることを残りの回路に示すパイプ保留信号 123をセットする。先入れ先出しメモリに再び余地があれば、符号化を続けることができる。

【0037】図1の実施例に付いて、回路は同期データパイプラインとして実現できる。パイプラインの各々の段階は、データラッチが後に続くいくつかの非同期論理からなっている。全てのデータラッチは同じクロックを共有している。パイプ保留信号 123は各々のクロック期間にデータのラッチを不能にするのに使用することができる。この方法により、出力先入れ先出しメモリが概満杯でビットストリームデータが失われないよう、全パイプラインを停止できる。

【0038】説明した実施例は本発明の单なる1つの実施例であることに留意すべきである。コマンドバッファメモリ・データフォーマットなど、多くのものを変更することができる。例えば、係数コマンドフォーマット 303はイントラ 308及び代替走査 309に対して異なるあるいは追加制御ビットを用いて係数コード 106の機能を制御することができる。コマンドバッファメモリ・データフォーマットの各々の欄の大きさと内容も変えることができる。異なるコマンドの数も変えることができる。更に、データバス幅、メモリサイズ、コードテーブル 110の内容、先述の参照テーブルも変えることができる。各々のコード 106、107、108の機能も変えることができるが、係数コード 106はいくつかの係数を示すビットシーケンスを生じる必要があり、可変長コード 107はデータを可変長ビットシーケンスとしてコード化する必要があり、固定長コード 108は固定長ビットシーケンスをコード化する必要があるという制限がある。例えば係数をコード化する方法は、ランレベルコード化を用いる必要はない。更に、本実施例の制御遅延 109は、一部の実施例は制御信号の遅延を必要としないので全ての実施例に必要ではない。

【0039】

【発明の効果】以上述べたところから明らかのように、本発明は、H.261、MPEG-1、MPEG-2などの多くの既存のコード化デジタルビデオ・ビットストリーム構文並びに将来のビットストリーム構文をサポートできる汎用ビットストリームコードを実現出来る。

【0040】本発明は、VLSIビデオコードに含めることに適したそのコンパクトなサイズとその単純なインターフェイスのおかげで、コストダウンを実現することができる。

【0041】本発明をパイプラインとして実現することで、ビデオデータの高いデータレートをサポートすることができる。

【図面の簡単な説明】

【図1】本発明のビットストリームコーダの一実施例を示すブロック図である。

【図2】MPEG-1ビデオコーダで使用するマクロブロックフォーマットの1例である。

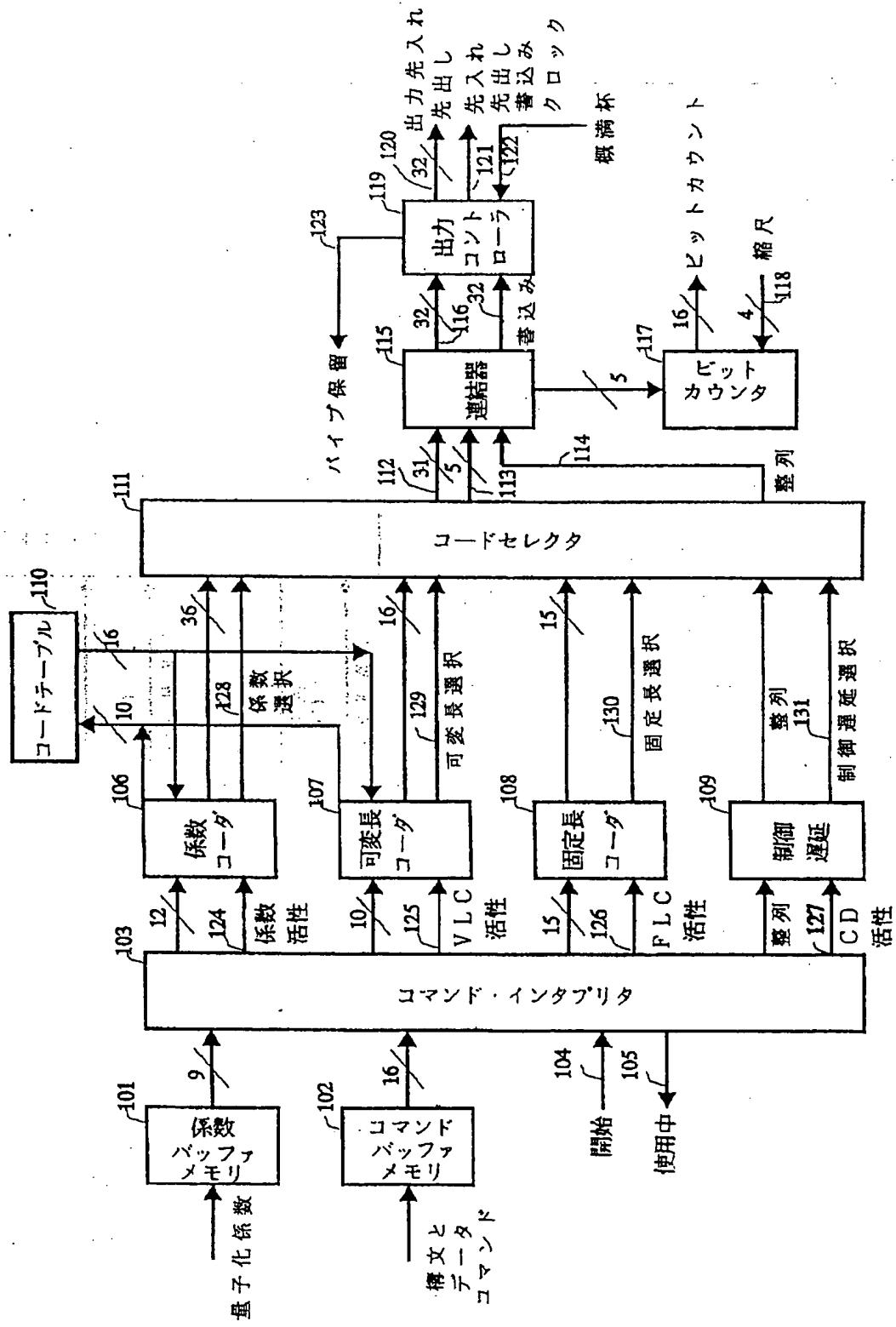
【図3】図1の実施例のコマンドバッファメモリのコマンドを格納するコマンドフォーマットの1例である。

【図4】MPEG-2によりサポートされた係数走査順序を記述したものである。

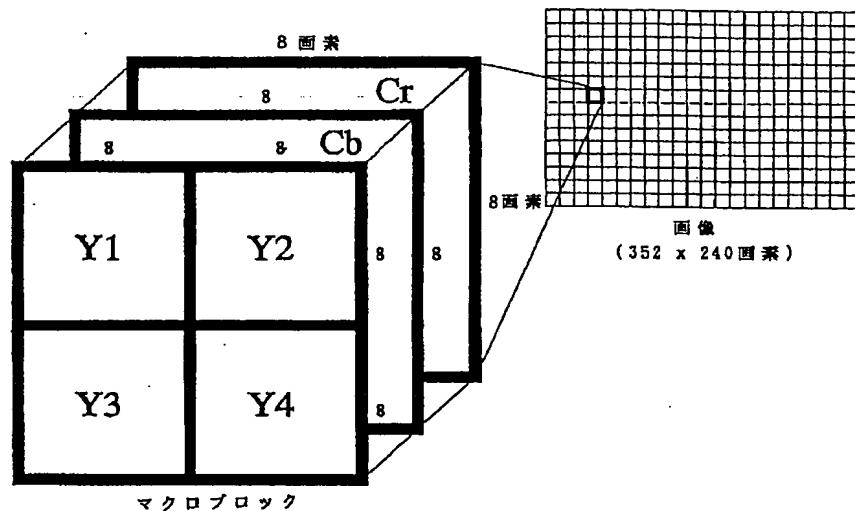
【符号の説明】

- 101 係数バッファメモリ
- 102 コマンドバッファメモリ
- 103 コマンド・インタブリタ
- 104 開始信号
- 105 使用中信号
- 106 係数コーダ
- 107 可変長コーダ
- 108 固定長コーダ
- 109 制御遅延
- 110 コードテーブル
- 111 コードセレクタ
- 112 コードセレクタ出力ビットシーケンス長バス
- 113 コードセレクタ出力ビットシーケンスコードバス
- 114 コードセレクタ出力整列信号線
- 115 連結器
- 116 連結器出力ビットストリームバス
- 117 ビットカウンタ
- 118 ビットカウンタ入力幅尺バス
- 119 出力コントローラ
- 120 出力コントローラ出力ビットストリームバス
- 121 出力先入れ先出しメモリ書き込みクロック信号線
- 122 出力先入れ先出しメモリ概満杯信号線
- 123 パイプ保留信号線
- 301 固定長コードコマンドフォーマット
- 302 可変長コードコマンドフォーマット
- 303 係数コマンドフォーマット
- 304 制御データコマンドフォーマット
- 305 固定長コードコマンド長欄
- 306 固定長コードコマンド固定長コード欄
- 307 可変長コードコマンド・コードテーブルアドレス欄
- 308 係数コマンド内欄
- 309 係数コマンド代替走査欄
- 310 係数コマンド係数カウント欄
- 311 制御データコマンド整列欄
- 312 制御データMBE欄

[図 1]



【図 2】



【図 3】

- 301 固定長コードコマンドフォーマット
- 302 可変長コードコマンドフォーマット
- 303 係数コマンドフォーマット
- 304 制御データコマンドフォーマット
- 305 固定長コードコマンド長欄
- 306 固定長コードコマンド固定長コード欄
- 307 可変長コードコマンド・コードテーブルアドレス欄
- 308 係数コマンド内欄
- 309 係数コマンド代替走査欄
- 310 係数コマンド係数カウント欄
- 311 制御データコマンド整列欄
- 312 制御データMBE欄

305												306			
F	E	D	C	B	A	9	8	7	6	5	4	3	2	1	0
301	1														
302	0	0	0	X	X	X									
303	0	0	1				X	X	X	X					
304	0	1	0	X	X	X	X	X	X	X	X	X	X		
	308	309					310				311	312			

【図 4】

